

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

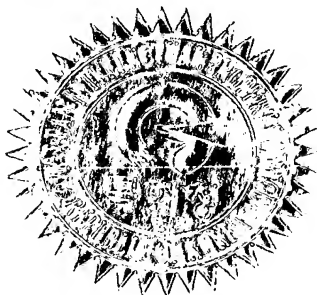
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0069256  
Application Number

출원년월일 : 2002년 11월 08일  
Date of Application NOV 08, 2002

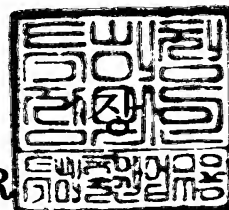
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 21 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2002.11.08
【국제특허분류】	G09G
【발명의 명칭】	고효율 플라즈마 디스플레이 패널 구동 장치 및 방법
【발명의 영문명칭】	Apparatus and method for improving energy recovery in a plasma display panel driver
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	노정욱
【성명의 영문표기】	ROH, Chung Wook
【주민등록번호】	710910-1109014
【우편번호】	137-770
【주소】	서울특별시 서초구 반포본동 반포주공아파트 5동 107호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상훈
【성명의 영문표기】	LEE, Sang Hoon
【주민등록번호】	710211-1121915

【우편번호】	135-230
【주소】	서울특별시 강남구 일원동 수서1단지 116동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	김혜정
【성명의 영문표기】	KIM,Hye Jeong
【주민등록번호】	781014-2932211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1033-7번지 201호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	19 면 19,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	23 항 845,000 원
【합계】	893,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것으로서, 특히 전력 회수 회로에서의 기생 효과에 의하여 발생하는 프리-휠링 전류(Free-wheeling current)를 빠르게 제거하여 전력 회수 효율을 개선시키기 위한 고효율 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것이다.

본 발명에 의하면 전력 회수 시이퀀스에 따른 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로가 생성되도록 회로를 설계함으로써, 기생 효과에 의하여 발생하는 프리-휠링 전류를 원천적으로 빠르게 제거할 수 있어서, 첫째로 서스테인 스위칭 소자들의 전류 스트레스를 감소시킬 수 있는 효과가 발생되며, 둘째로 프리-휠링 전류로 인한 소비전력의 증가를 방지할 수 있는 효과가 발생되며, 세 번째로, 게이트 신호 타이밍 시이퀀스의 조정을 용이하게 할 수 있는 효과가 발생된다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

고효율 플라즈마 디스플레이 패널 구동 장치 및 방법{Apparatus and method for improving energy recovery in a plasma display panel driver}

**【도면의 간단한 설명】**

도 1은 종래의 기술에 의한 플라즈마 디스플레이 패널의 서스테인 구동 장치의 구성도이다.

도 2는 도 1의 플라즈마 디스플레이 패널의 서스테인 구동 장치에서의 모드별 전력 회수 스위칭 시퀀스에 따른 플라즈마 디스플레이 패널의 출력 전압  $V_p$ 와 인덕터  $L$ 에 흐르는 전류  $i_L$ 의 파형도이다.

도 3a-3d는 도 1에서의 모드별 전력 회수 스위칭 시퀀스에 따른 전류의 도통 경로를 도시한 것이다.

도 4는 본 발명에 의한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치의 구성도이다.

도 5는 도 4에 적용되는 각종 스위칭 제어 신호 및 주요 전압/전류 파형을 도시한 것이다.

도 6a-6h는 본 발명에 의한 스위칭 시퀀스에 따른 서스테인 구간에 실행되는 각종 모드에서의 전류 도통 경로를 도시한 것이다.

도 7은 본 발명이 적용된 플라즈마 디스플레이 패널 구동 시스템의 구성도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것으로서, 특히 전력 회수 회로에서의 기생 효과에 의하여 발생하는 프리-휠링 전류(Free-wheeling current)를 빠르게 제거하여 전력 회수 효율을 개선시키기 위한 고효율 플라즈마 디스플레이 패널 구동 장치 및 방법에 관한 것이다.
- <9> 일반적으로 플라즈마 디스플레이 패널(Plasma Display Panel ; PDP)은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 차세대 평판 디스플레이 장치로서, 플라즈마 디스플레이 패널은 크기에 따라 수십만개에서 수백만개 이상의 픽셀이 매트릭스(matrix)형태로 배열되어 있다.
- <10> 도 1은 종래 기술에 해당되는 Webber에 의해 제안된 AC-PDP 유지 방전 회로와 전력 회수부 스위치의 전압 서지(surge)를 방지하기 위해 클램핑 다이오드(clamping diode)를 추가한 회로도이다. AC-PDP의 경우 디스플레이 패널은 패널 캐패시턴스(capacitance)  $C_p$ 를 가지는 부하로 가정할 수 있다. 도 2는 전력 회수 스위칭 시퀀스에 따른 플라즈마 디스플레이 패널의 출력 전압  $V_p$ 와 인덕터  $L$ 에 흐르는 전류  $i_L$ 의 파형을 나타낸다. AC-PDP 유지 방전 회로는 스위칭 시퀀스에 따라 다음과 같이 4개의 모드로 나타낼 수 있다.
- <11> 1) 모드 1



- <12> MOSFET 스위치  $S_r$ 이 도통되기 직전에  $S_{x2}$ (도면에 미도시; side 2 서스테인 구동부의  $S_d$ 에 해당되는 MOSFET임)가 도통되어 패널의 양단 전압  $V_p$ 는 0V로 유지되어 있다.  $S_r$ 이 도통되면 모드 1의 동작이 시작된다. 이 구간 동안 도 3a에 도시된 바와 같이  $C_c-S_r-D_r-L-C(\text{panel})$ 의 경로로 LC 공진회로가 형성되어, L 인덕터에 공진 전류가 흐르고  $V_p$ 는 증가한다. 결국 모드 1에서 인덕터의 전류는 0,  $V_p$ 는  $+V_{pk}$ 가 된다.
- <13> 2) 모드 2
- <14> 모드 2에서는  $S_r$ 은 차단되고  $S_s$ 가 도통된다. 이 때  $S_s$ 의 양단 전압은  $V_{pk}$ 에서  $V_s$ 로 급격히 변화되어 스위칭 손실이 발생된다.  $V_s-V_{pk}$ 의 전압차는 회로 소자들의 기생 커패시터(또는 기생 저항) 성분에 의하여 발생되며, 이러한  $V_s-V_{pk}$ 의 전압차는 도 3b에 도시된 바와 같이 프리-휠링 전류(Free-wheeling current)가 발생시키며, 이 프리-휠링 전류는  $S_s-L-D_1$ 의 경로로 흐른다. 그런데, 인덕터 L 양단 전압은  $D_1$ 과  $S_s$ 의 전압강하 레벨인 약 2V로 비교적 작은 값이 되어 도 2(b)에 도시된 바와 같이 프리-휠링 전류는 매우 완만한 기울기로 감소된다. 모드 2구간 동안에  $V_p$ 는  $+V_s$ 로 유지되고, 패널은 방전을 유지한다.
- <15> 3) 모드 3
- <16>  $S_f$ 가 도통되고  $S_s$ 이 차단된다. 모드 3 구간동안  $C(\text{panel})-L-D_f-S_f-C_c$ 의 경로로 LC 공진회로가 형성되어, 인덕터 L에 공진 전류가 흐르고  $V_p$ 는 감소한다. 결국 모드 3에서 인덕터의 전류는 0A,  $V_p$ 는  $V_s-V_{pk}$ 가 된다.
- <17> 4) 모드 4

- <18> Sd가 도통되고 Sf가 차단다. 이 때 Sd의 양단 전압은  $V_s - V_{pk}$ 에서 0V로 급격히 변화되어 스위칭 손실이 발생된다. 이에 따라서  $V_s - V_{pk}$ 의 전압 차는 회로 소자들의 기생 캐패시터(또는 기생 저항)에 의하여 생성되며,  $V_s - V_{pk}$ 의 전압 차는 도 3d에 도시된 바와 같이 프리-휠링 전류(Free-wheeling current)가 발생시키며, 이 프리-휠링 전류(Free-wheeling current) 전류는 D2-L-Sd의 경로로 흐른다. 그런데, 인덕터 L 양단 전압은 D2과 Sd의 전압강하 레벨인 약 2V로 비교적 작은 값이 되어 도 2(d)에 도시된 바와 같이 프리-휠링 전류는 매우 완만한 기울기로 감소된다.
- <19> 그리고 나서, Sx2가 차단되고 Sx1(도면에 미도시; side 2 서스테인 구동부의 Sr에 해당되는 MOSFET임)이 도통되면 다른 반주기 동안 반복된다.
- <20> 이와 같은 종래의 기술에 의한 클램핑 회로를 추가한 전력 회수부를 갖는 AC-PDP 유지 방전 회로에서 발생하는 프리-휠링 전류는 다음과 같은 문제점을 야기시킨다.
- <21> 첫 번째로, 프리-휠링 전류는 매우 큰 값(약 30A 정도)으로 프리-휠링 전류의 경로상의 회로 소자( $S_s$ , Sd, L, D1, D2)의 전류 스트레스의 증가를 야기시켜 높은 전류 규격의 소자들을 사용하여야 하는데, 이로 인하여 구동 회로부의 사이즈의 증가 및 자재비가 상승되는 문제점이 발생된다.
- <22> 두 번째로, 프리-휠링 전류로 인하여 소비전력이 증가되는 문제점이 발생된다.
- <23> 세 번째로, 프리-휠링 전류는 플라즈마 디스플레이 패널 전압의 상승 및 하강 시의 타이밍 시퀀스 조절이 어려워지는 문제점을 발생시킨다. 즉, 게이트 신호의 타이밍 시퀀스를 조정하는 작업이 어렵게 된다.



## 【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명이 이루고자 하는 기술적 과제는 상술한 문제점을 해결하기 위하여 전력 회수부의 스위칭 시퀀스에서 기생 효과에 의하여 발생하는 프리-휠링 전류를 빠르게 제거하기 위한 고효율 플라즈마 디스플레이 패널 구동 장치 및 방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

- <25> 상기 기술적 과제를 달성하기 위하여 본 발명에 의한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치는 플라즈마 디스플레이 패널 구동 시스템의 서스테인 구동 장치에 있어서, 소정의 유지 방전 시퀀스에 상응하여 전력 회수부의 충/방전 경로를 플라즈마 디스플레이 패널에 접속시키기 위한 서스테인 스위칭부 및 소정의 전력 회수 시퀀스에 상응하여, 방전 모드에서는 상기 플라즈마 디스플레이 패널의 에너지를 소정의 공진 경로에 의하여 에너지 축적 소자에 방전시키고, 충전 모드에서는 상기 에너지 축적 소자에 축적된 에너지를 소정의 공진 경로에 의하여 상기 플라즈마 디스플레이 패널로 충전시키며, 상기 충전 모드 및 방전 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로를 형성하여 제거하기 위한 전력 회수부를 포함함을 특징으로 한다.

- <26> 상기 기술적 과제를 달성하기 위하여 본 발명에 의한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치 설계 방법은 리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스를 갖는 플라즈마 디스플레이 패널 구동 장치 설계 방법에 있어서, 상기 서스테인 구간에서의 소정의 전력 회수 시퀀스에 상응하는 충전 모드 및 방전 모드 천이 시 전력 회수 회로의 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과

에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 프리-휠링 전류의 도통 경로를 생성시키도록 회로를 구성함을 특징으로 한다.

<27>      상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 의한 고효율 플라즈마 디스플레이 패널 구동 시스템은 리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스에 의한 플라즈마 디스플레이 패널 구동 시스템에 있어서, 서스테인 구간 동안에 상기 플라즈마 디스플레이 패널의 Y전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 Y전극을 충/방전시키도록 구동하고, 상기 제1,2충전 모드 및 제1,2방전 모드 전이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 제거하기 위한 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로 경로를 포함하는 Y전극 서스테인 구동 회로, 서스테인 구간과 어드레스 구간 및 리세트 구간의 회로 동작을 분리시키고, 리세트 구간 동안에 램프형 고압 전압을 인가시키기 위한 분리 및 리세트 회로, 어드레스 구간 동안 수평동기신호를 인가하고, 그 외의 구간에서는 단락되는 스캔 펄스 발생회로 및 서스테인 구간 동안에 상기 플라즈마 디스플레이 패널

의 X전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 X전극을 충/방전시키도록 구동하고, 상기 제1,2충전 모드 및 제1,2방전 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 제거하기 위한 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로 경로를 포함하는 X전극 서스테인 구동 회로를 포함함을 특징으로 한다.

<28> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세히 설명하기로 한다.

<29> 도 4에 도시된 바와 같이, 본 발명에 의한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치는 서스테인 스위칭부, 전력 회수부 및 플라즈마 디스플레이 패널을 구비한다.

<30> 서스테인 스위칭부는 4개의 스위치 Sd1, Sd2, Su2, Su1를 포함하며, 스위치 Sd1, Sd2, Su2, Su1를 순차적으로 직렬로 연결하고, 스위치 Sd1 및 Su1 양 끝 단자에 각각 접지선 및 서스테인 공급 전압(+Vs)을 인가하고, 스위치 Sd2와 Su2의 접속 단자에는 플라즈마 디스플레이 패널(Cp)이 연결되어, 스위치 Sd1와 Sd2의 접속 단자 및 스위치 Su2와 Su1의 접속 단자에는 전력 회수 회로가 접속된다.

<31> 전력 회수부는 에너지 축적 블록, 경로 스위칭 블록, 복수의 인덕터 및 복수의 다이오드들로 구성되어 있다.



- <32> 세부적으로, 에너지 축적 소자 블록은 4개의 캐패시터 Cd1, Cd2, Cu2, Cu1를 포함하며, 캐패시터 Cd1, Cd2, Cu2, Cu1를 순차적으로 직렬로 접속시키고, Cd1 및 Cu1의 양 끝 단자에는 각각 접지선 및 서스테인 공급 전압이 인가된다.
- <33> 경로 스위칭 블록은 캐패시터 Cd1, Cd2, Cu2, Cu1에 병렬로 접속되는 복수의 스위칭 소자(Sr1, Sf1, Sr2, Sf2) 및 복수의 다이오드(Dr1, Dr2, Df1, Df2, Du, Dd)들로 구성되어, 전력 회수 시퀀스에 상응하여 제1,2충전 모드 및 제1,2방전 모드에서 각각 다른 인덕터를 경유하는 공진 경로를 생성시키도록 전류의 경로를 스위칭시킨다.
- <34> 복수의 인덕터(Lr1, Lf1, Lr2, Lf2)는 복수의 스위칭 소자(Sr1, Sf1, Sr2, Sf2)에 접속되어, 제1,2충전 모드 및 제1,2방전 모드에서 전력 회수를 위한 LC공진 회로를 생성시킨다.
- <35> 그리고, 복수의 다이오드(Du1, Du2, Du3, Du4, Dd1, Dd2, Dd3, Dd4)들은 복수의 인덕터(Lr1, Lf1, Lr2, Lf2)의 양 단자에 각각 접속되어, 스위칭 소자들의 전압을 클램핑시키고, 프리-휠링 전류를 제거하기 위한 경로를 형성시키는데, 제1,2충전 모드 및 방전 모드 전이 시에 기생 효과에 의하여 공진 경로에 포함된 인덕터에 프리-휠링(Free-wheeling) 전류가 생성되는 경우에, 이 프리-휠링 전류가 흐르는 인덕터 양단의 전압차가  $1/4V_s$ 가 되는 프리-휠링 전류의 경로를 생성시키는 회로 구조를 갖는다.
- <36> 도 4에서 설명의 편의를 위하여 서스테인 구동 회로를 플라즈마 디스플레이 패널의 사이드 1 전극에만 도시하였으나, 플라즈마 디스플레이 패널의 사이드 2 전극에도 사이드 1 전극의 회로와 동일한 서스테인 구동 회로를 갖는다.

<37> 도 5는 플라즈마 디스플레이 패널의 사이드 2 전극의 서스테인 구동 회로의 스위치 Sd3, Sd4(도 7참조)가 도통될 때(PDP 화면의 전극의 전위가 접지 레벨일 때) 반주기 동안의 본 발명에 의한 서스테인 구동 회로의 주요 전압/전류 파형도이다. 도 5에서 빗금 친 부분은 게이트 신호의 도통, 차단이 관계없는 구간이다. 해석을 위하여 충전 소자 블록의 각 캐패시터(Cd1, Cd2, Cu2, Cu1)의 양단 전압은 각각  $+V_s/4$ 로 유지되고, 전력 회수부의 인덕터(Lr1, Lf1, Lr2, Lf2)는 같은 인덕턴스 값을 갖는다고 가정한다. 도 6a-6h는 본 발명에 의한 스위칭 시퀀스에 따른 각 모드별 등가회로를 나타낸다. 반주기 동안의 각 게이트 신호 인가시 각 모드별 본 발명에 동작 원리를 설명하면 다음과 같다.

<38> 1) 모드 1( $t_0-t_1$ ; pre-charging)

<39>  $t=t_0$  직전의 시간에는 스위치 Sd1과 Sd2는 도통되어 패널 전압  $V_p$ 는 0V로 유지되어 있다. 스위치 Su1과 Su2 각각의 드레인-소오스 전압은  $+V_s/2$ 이다.  $t=t_0$ 에서, 스위치 Sd1이 차단되고, 전력 회수부 스위치 Sr1이 도통되면, 도 6a에 도시된 바와 같이, Cd1-Sr1-Lr1-Dr1-Sd2-Cp의 공진 경로를 통해 PDP 캐패시터 Cp가 충전되고, 패널 전압  $V_p$ 는 0V에서  $(+V_s/2)-dV$ 까지 증가한다. 여기에서,  $dV$ 는 회로내의 기생 저항 등에 의한 전압 강하 값에 해당된다.  $t=t_1$ 에서 스위치 Sd2는 차단되고, Su2가 도통되면 모드 1이 끝난다.

<40> 2) 모드 2( $t_1-t_2$ ;  $+V_s/2$  모드)

<41> 도 5에 도시된 바와 같이,  $t=t_1$ 에서 스위치 Sd2는 차단되고, Su2는 도통된다. 패널의 전압  $V_p$ 는  $+V_s/2$ 로 유지한다. Dr1의 역회복(reverse recovery;  $dV$ 만큼의 전압 변화에 기인됨) 특성에 의해 기생전류(프리-휠링 전류)가 발생되어 Dd4가 도통된다. 이 때 기생 전류는 도 6b에 도시된 바와 같이 Dd4-Lr1-Sr1-Cd1의 경로로 클램프(clamp)되어 전력

회수부 소자의 전압 서지(surge)가 발생되지 않도록 동작된다. 인덕터  $Lr1$ 의 양단 전압은  $V_s/4$ 가 되어 발생한 기생전류는  $-V_s/(4Lr1)$ 의 기울기로 빠르게 감소하게 된다. 이에 비하여, 도 1에 의한 종래의 기술에서는 인덕터 양단의 전압차가 약 2V 정도가 되어 기생전류가  $-2/L$ 의 낮은 기울기로 매우 천천히 감소하였다.

<42> 3) 모드 3( $t_2-t_3$ ; post-charging)

<43>  $t=t_2$ 에서 전력회수부 스위치  $Sr2$ 가 도통되면 모드 3이 시작된다. 그러면, 도 6c에 도시된 바와 같이, 공진 경로  $Cd1-Cd2-Cu2-Sr2-Lr2-Dr2-Su2-Cp$ 에 의하여 패널 전압은  $+V_s/2$ 에서  $+V_s-dV$ 까지 증가하게 된다.  $t=t_3$ 에서  $Su1$ 이 도통되면 모드 3은 끝난다.

<44> 4) 모드 4( $t_3-t_4$ ; 패널 발광)

<45>  $t=t_3$ 에서  $Su1$ 은 도통된다. 도 5에 도시된 바와 같이, 모드 4에서 패널 전압  $V_p$ 는  $V_s$ 로 유지되고, PDP의 유지 방전 전류가 흐르게 된다. 모드 4의 기간은 PDP의 방전 물질에 따라 결정되고, 통상  $1.7\mu s$ 이상 되도록 한다. 그리고,  $Dr2$ 의 역회복(reverse recovery;  $dV$ 만큼의 전압 변화에 기인됨) 특성에 의해 기생전류(프리-휠링 전류)가 발생하여  $Du4$ 가 도통된다. 발생한 기생전류는 도 6d에 도시된 바와 같이  $Du4-Lr2-Sr2-Cu2$ 의 경로로 클램프되어 전력 회수부 소자의 전압 서지(surge)가 발생되지 않도록 동작된다. 인덕터  $Lr2$ 의 양단 전압은  $V_s/4$ 가 되어 발생한 기생전류는  $-V_s/(4Lr2)$ 의 기울기로 빠르게 감소하게 된다. 이에 비하여, 도 1에 의한 종래의 기술에서는 인덕터 양단의 전압차가 약 2V 정도가 되어 기생전류가  $-2/L$ 의 낮은 기울기로 매우 천천히 감소하였다.

<46> 5) 모드 5( $t_4-t_5$ ; pre-discharging)

<47>  $t=t_4$ 에서 스위치  $Su_1$ 는 차단되고, 전력회수부 스위치  $Sf_2$ 가 도통된다. 이에 따라서 도 6e에 도시된 바와 같이, 공진 경로  $Cp-Su_2-Df_2-Lf_2-Sf_2-Cu_2-Cd_2-Cd_1$ 로 패널은 방전한다. 패널 전압  $V_p$ 는  $+V_s$ 에서  $(+V_s/2)+dV$ 까지 감소하게 된다.  $t=t_5$ 에서 스위치  $Su_2$ 가 차단되고 모드 5는 끝난다.

<48> 6) 모드 6( $t_5-t_6$ ;  $+V_s/2$  모드)

<49> 도 5에 도시된 바와 같이,  $t=t_5$ 에서 스위치  $Su_2$ 는 차단되고, 패널의 전압  $V_p$ 는  $+V_s/2$ 로 유지된다. 이 때,  $Df_2$ 의 역회복(reverse recovery;  $dV$ 만큼의 전압 변화에 기인됨) 특성에 의해 기생전류(프리-휠링 전류)가 발생하여  $Du_2$ 가 도통된다. 발생한 기생전류는 도 6f에 도시된 바와 같이  $Sf_2-Lf_2-Du_2-Cu_1$ 의 경로로 클램프되어 전력 회수부 소자의 전압 서지(surge)가 발생되지 않도록 동작된다. 인덕터  $Lf_2$ 의 양단 전압은  $V_s/4$ 가 되어 발생한 기생전류는  $-V_s/(4Lf_2)$ 의 기울기로 빠르게 감소하게 된다. 이에 비하여, 도 1에 의한 종래의 기술에서는 인덕터 양단의 전압차가 약 2V 정도가 되어 기생전류가  $-2/L$ 의 낮은 기울기로 매우 천천히 감소하였다.

<50> 7) 모드 7( $t_6-t_7$ ; post-discharging)

<51>  $t=t_6$ 에서 전력 회수부 스위치  $Sf_1$ 이 도통되면 모드 7이 시작된다. 도 6g에 도시된 바와 같이, 공진 경로  $Cp-Sd_2-Df_1-Lf_1-Sf_1-Cd_1$ 로 패널 전압은  $+V_s/2$ 에서  $+dV$ 로 하강하게 된다.  $t=t_7$ 에서  $Sd_1$ 이 도통되면 모드 7은 끝난다.

<52> 8) 모드 8( $t_7-t_8$ ; 접지 모드)

<53> 도 5에 도시된 바와 같이,  $t=t_7$ 에서  $Sd_1$ 은 도통되고, 패널 전압은 0V가 된다. 이 때,  $Df_1$ 의 역회복(reverse recovery;  $dV$ 만큼의 전압 변화에 기인됨) 특성에 의해 기생전

류(프리-휠링 전류)가 발생하여 Dd2가 도통된다. 발생한 기생전류는 도 6h에 도시된 바와 같이 Sf1-Lf1-Dd2-Cd2의 경로로 클램프되어 전력 회수부 소자의 전압 서지(surge)가 발생되지 않도록 동작된다. 인덕터 Lf1의 양단 전압은  $V_s/4$ 가 되어 발생한 기생전류는  $-V_s/(4Lf1)$ 의 기울기로 빠르게 감소하게 된다. 이에 비하여, 도 1에 의한 종래의 기술에서는 인덕터 양단의 전압차가 약 2V 정도가 되어 기생전류가  $-2/L$ 의 낮은 기울기로 매우 천천히 감소하였다.

<54> 이와 같은 방법에 의하여 다음 반주기 동안 플라즈마 디스플레이 패널의 사이드 2 서스테인 구동부가 모드 1에서 모드 8을 반복하여 패널에 고주파 AC 전압을 인가하게 된다.

<55> 도 7은 도 4에 도시된 본 발명에 의한 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치를 적용한 플라즈마 디스플레이 패널 구동 시스템을 도시한 것으로, Y전극 서스테인 구동 회로(41), 분리 및 리세트 회로(42), 스캔 펄스 발생회로(43), X전극 서스테인 구동 회로(44) 및 플라즈마 디스플레이 패널(45)로 구성된다.

<56> Y전극 서스테인 구동 회로(41) 및 X전극 서스테인 구동 회로(44)는 도 4에서 이미 상세히 설명하였으므로 반복 설명을 생략한다.

<57> 분리 및 리세트 회로(42)의 분리회로( $Y_p$ )는 서스테인 구간과 다른 구간(어드레스 및 리세트 구간)의 회로 동작을 분리시키기 위한 스위치 회로이며, 리세트 회로( $Y_{fr}$ ,  $Y_{rr}$ )는 리세트 구간 동안 패널에 램프형 고압 전압을 인가하기 위한 스위치 회로이다.

<58> 그리고, 스캔 펄스 발생회로(43)는 어드레스 구간동안에 PDP 스크린의 수평 동기신호 인가하도록 동작하고, 그 외의 구간에서는 단락된다.



<59> 도 7의 실시 예에서도 도 4에서 이미 설명한 바와 같은 방법으로 서스테인 구간에서 진행되는 충전 및 방전 모드를 각각 2개의 충전(pre-charging, post-charging) 및 방전(pre-discharging, post-discharging) 모드로 세분화시키고, 세분화된 2개의 충전 모드 및 2개의 방전 모드는 쌍으로 각각 서로 다른 4개의 인덕터(Lr1, Lf1, Lr2, Lf2)를 경유하여 공진 경로를 형성하도록 설계되어, 반도체 소자에 인가되는 전압 스트레스를 줄였으며, 또한 상기 충전 모드 및 방전 모드 전이 시 기생 효과에 의하여 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로를 형성하여 제거하여 프리-휠링 전류를 빠르게 제거함으로써 소자에 가해지는 전압 스트레스를 감소시킬 수 있게 되었다.

<60> 본 발명은 방법, 장치, 시스템 등으로서 실행될 수 있다. 소프트웨어로 실행될 때, 본 발명의 구성 수단들은 필연적으로 필요한 작업을 실행하는 코드 세그먼트들이다. 프로그램 또는 코드 세그먼트들은 프로세서 판독 가능 매체에 저장되어 질 수 있으며 또는 전송 매체 또는 통신망에서 반송파와 결합된 컴퓨터 데이터 신호에 의하여 전송될 수 있다. 프로세서 판독 가능 매체는 정보를 저장 또는 전송할 수 있는 어떠한 매체도 포함한다. 프로세서 판독 가능 매체의 예로는 전자 회로, 반도체 메모리 소자, ROM, 플래쉬 메모리, E<sup>2</sup>PROM, 플로피 디스크, 광 디스크, 하드 디스크, 광 섬유 매체, 무선 주파수(RF) 망, 등이 있다. 컴퓨터 데이터 신호는 전자 망 채널, 광 섬유, 공기, 전자계, RF 망, 등과 같은 전송 매체 위로 전파될 수 있는 어떠한 신호도 포함된다.

<61> 첨부된 도면에 도시되어 설명된 특정의 실시 예들은 단지 본 발명의 예로서 이해되어 지고, 본 발명의 범위를 한정하는 것이 아니며, 본 발명이 속하는 기술 분야에서 본

발명에 기술된 기술적 사상의 범위에서도 다양한 다른 변경이 발생할 수 있으므로, 본 발명은 보여지거나 기술된 특정의 구성 및 배열로 제한되지 않는 것은 자명하다.

#### 【발명의 효과】

<62> 상술한 바와 같이, 본 발명에 의하면 전력 회수 시이퀀스에 따른 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링 (Free-wheeling) 전류를 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로가 생성되도록 회로를 설계함으로써, 기생 효과에 의하여 발생하는 프리-휠링 전류를 원천적으로 빠르게 제거할 수 있어서, 첫째로 서스테인 스위칭 소자들의 전류 스트레스를 감소시킬 수 있는 효과가 발생되며, 둘째로 프리-휠링 전류로 인한 소비전력의 증가를 방지할 수 있는 효과가 발생되며, 세 번째로, 게이트 신호 타이밍 시이퀀스의 조정을 용이하게 할 수 있는 효과가 발생된다.

**【특허청구범위】****【청구항 1】**

플라즈마 디스플레이 패널 구동 시스템의 서스테인 구동 장치에 있어서,  
소정의 유지 방전 시퀀스에 상응하여 전력 회수부의 충/방전 경로를 플라즈마 디스플레이 패널에 접속시키기 위한 서스테인 스위칭부; 및  
소정의 전력 회수 시퀀스에 상응하여, 방전 모드에서는 상기 플라즈마 디스플레이 패널의 에너지를 소정의 공진 경로에 의하여 에너지 축적 소자에 방전시키고, 충전 모드에서는 상기 에너지 축적 소자에 축적된 에너지를 소정의 공진 경로에 의하여 상기 플라즈마 디스플레이 패널로 충전시키며, 상기 충전 모드 및 방전 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로를 형성하여 제거하기 위한 전력 회수부를 포함함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 2】**

제1항에 있어서, 상기 충전 모드 및 방전 모드는 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화되며, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 상이한 공진 경로를 형성함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 3】**

제2항에 있어서, 상기 제1충전 모드의 구간 길이와 제2충전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 4】**

제2항에 있어서, 상기 제1방전 모드의 구간 길이와 제2방전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 5】**

제2항에 있어서, 상기 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 각각 인덕터를 경유하지 않는 경로를 형성하는 모드를 부가함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 6】**

제1항에 있어서, 상기 전력 회수부는 4개의 인덕터를 포함하며, 상기 제1충전 모드와 상기 제2충전 모드 및 제1방전 모드와 제2방전 모드에서 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

**【청구항 7】**

제1항에 있어서, 상기 서스테인 스위칭부는

제1,2,3,4스위치(Sd1,Sd2,Su2,Su1)를 순차적으로 직렬로 연결하고, 제1스위치 및 제4스위치의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압을 인가하고, 제2,3스위치 접속 단자에 플라즈마 디스플레이 패널을 연결하며, 제1,2스위치 접속단자 및 제3,4스위치 접속 단자에 각각 전력 회수부의 서로 다른 단자를 연결함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 8】

제7항에 있어서, 상기 제1충전 모드에서는 제2스위치가 도통되고 나머지 서스테인 스위치들은 차단되고, 상기 제2충전 모드에서는 제3스위치가 도통되고 나머지 서스테인 스위치들은 차단되도록 상기 유지 방전 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 9】

제7항에 있어서, 상기 제1방전 모드에서는 제3스위치가 도통되고 나머지 서스테인 스위치들은 차단되고, 상기 제2방전 모드에서는 제2스위치가 도통되고 나머지 서스테인 스위치들은 차단되도록 상기 유지 방전 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 10】

제1항에 있어서, 상기 전력 회수부는

제 1,2,3,4캐패시터(Cd1,Cd2,Cu2,Cu1)를 순차적으로 직렬로 접속시키고, 제1캐패시터 및 제4캐패시터의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압이 인가되는 에너지 축적 소자 블록;

상기 제1,2,3,4캐패시터(Cd1,Cd2,Cu2,Cu1)에 병렬로 접속되어, 소정의 전력 회수 시퀀스에 상응하여 제1,2충전 모드 및 제1,2방전 모드에서 각각 다른 인덕터를 경유하는 공진 경로를 갖는 소정의 전류 도통 경로를 형성시키기 위한 복수의 스위칭 소자(Sr1,Sf1,Sr2,Sf2) 및 복수의 다이오드(Dr1,Dr2,Df1,Df2,Du,Dd)로 구성된 경로 스위칭 블록;

상기 복수의 스위칭 소자(Sr1,Sf1,Sr2,Sf2)에 접속되어, 제1,2충전 모드 및 제1,2방전 모드에서 공진 회로를 생성시키기 위한 복수의 인덕터(Lr1,Lf1,Lr2,Lf2); 및

상기 복수의 인덕터(Lr1,Lf1,Lr2,Lf2)의 양 단자에 각각 접속되어, 상기 복수의 스위칭 소자들의 전압을 클램핑시키고, 프리-휠링 전류를 제거하기 위한 경로를 형성시키기 위한 복수의 다이오드(Du1,Du2,Du3,Du4,Dd1,Dd2,Dd3,Dd4)를 포함하여,

제1,2충전 모드 및 방전 모드 천이에 따른 공진 경로에 포함된 인덕터에 기생 효과에 의한 프리-휠링(Free-wheeling) 전류가 생성되는 경우에, 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 프리-휠링 전류의 도통 경로를 생성시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 11】

제10항에 있어서, 제1충전 모드에서

Sd2 및 Sr1를 도통시켜, Cd1-Sr1-Lr1-Dr1-Sd2-Cp(플라즈마 디스플레이 패널의 캐패시터 성분)의 LC 공진 경로를 통하여 Cd1에 충전된 에너지를 플라즈마 디스플레이 패널에 충전시키도록 회로 소자들을 배치하고,

제1충전 모드 종료 시에 기생 효과에 의하여 생성되는 프리-휠링 전류를 Dd4-Lr1-Sr1-Cd1 경로로 제거시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 12】

제10항에 있어서, 제2충전 모드에서

Su2 및 Sr2를 도통시켜, Cd1-Cd2-Cd3-Sr2-Lr2-Dr2-Su2-Cp(플라즈마 디스플레이 패널의 캐패시터 성분)의 LC 공진 경로를 통하여 Cd1, Cd2 및 Cu2에 충전된 에너지를 플라즈마 디스플레이 패널에 충전시키도록 회로 소자들을 배치하고,

제2충전 모드 종료 시에 기생 효과에 의하여 생성되는 프리-휠링 전류를 Du4-Lr2-Sr2-Cu2 경로로 제거시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

#### 【청구항 13】

제10항에 있어서, 제1방전 모드에서

Su2 및 Sf2를 도통시켜, Cp(플라즈마 디스플레이 패널의 캐패시터 성분)-Su2-Df2-Lf2-Sf2-Cu2-Cd2-Cd1의 LC 공진 경로를 통하여 플라즈마 디스플레이 패널에 충전된 에너지를 Cu2, Cd2 및 Cd1로 방전시키도록 회로 소자들을 배치하고,

제1방전 모드 종료 시에 기생 효과에 의하여 생성되는 프리-휠링 전류를 Sf2-Lf2-Du2-Cu1 경로로 제거시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

## 【청구항 14】

제10항에 있어서, 제2방전 모드에서

Sd2 및 Sf1를 도통시켜, Cp(플라즈마 디스플레이 패널의 캐패시터 성분)-Su2-Dd2-Lf1-Sf1-Cd1의 LC 공진 경로를 통하여 플라즈마 디스플레이 패널에 충전된 에너지를 Cd1로 방전시키도록 회로 소자들을 배치하고,

제2방전 모드 종료 시에 기생 효과에 의하여 생성되는 프리-휠링 전류를 Sf1-Lf1-Dd2-Cd2 경로로 제거시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 장치.

## 【청구항 15】

리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스를 갖는 플라즈마 디스플레이 패널 구동 장치 설계 방법에 있어서,

상기 서스테인 구간에서의 소정의 전력 회수 시퀀스에 상응하는 충전 모드 및 방전 모드 천이 시 전력 회수 회로의 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 프리-휠링 전류의 도통 경로를 생성시키도록 회로를 구성함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 회로 설계 방법.

## 【청구항 16】

제15항에 있어서, 상기 서스테인 구간에서 실행되는 충전 및 방전 모드를 각각 제1 충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2 충전 모드 및 제1,2방전 모드는 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성하



여 상기 플라즈마 디스플레이 패널을 충/방전시키도록 스위칭 시퀀스를 제어함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 회로 설계 방법.

**【청구항 17】**

제16항에 있어서, 상기 제1충전 모드의 구간 길이와 제2충전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 회로 설계 방법.

**【청구항 18】**

제16항에 있어서, 상기 제1방전 모드의 구간 길이와 제2방전 모드의 구간 길이는 같게 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널의 서스테인 구동 회로 설계 방법.

**【청구항 19】**

제16항에 있어서, 상기 제1충전 모드와 제2충전 모드의 분리 및 상기 제2방전 모드와 제2방전 모드를 분리시키기 위하여 각각 인덕터를 경유하지 않는 경로를 형성하는 모드를 부가함을 특징으로 하는 고효율 플라즈마 디스플레이 패널 구동 회로 설계 방법.

**【청구항 20】**

제16항에 있어서, 상기 제1충전 모드 및 상기 제2충전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 충전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널 구동 회로 설계 방법.

## 【청구항 21】

제16항에 있어서, 상기 제1방전 모드 및 상기 제2방전 모드에서 플라즈마 디스플레이 패널의 최대 충전 전압을 1/2씩 나누어 각각 방전시키도록 상기 전력 회수 시퀀스를 설계함을 특징으로 하는 고효율 플라즈마 디스플레이 패널 구동 회로 설계 방법.

## 【청구항 22】

리세트 구간, 어드레스 구간 및 서스테인 구간을 반복하는 스위칭 시퀀스에 의한 플라즈마 디스플레이 패널 구동 시스템에 있어서,

서스테인 구간 동안에 상기 플라즈마 디스플레이 패널의 Y전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 Y전극을 충/방전시키도록 구동하고, 상기 제1,2충전 모드 및 제1,2방전 모드 전이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 제거하기 위한 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로 경로를 포함하는 Y전극 서스테인 구동 회로;

서스테인 구간과 어드레스 구간 및 리세트 구간의 회로 동작을 분리시키고, 리세트 구간 동안에 램프형 고압 전압을 인가시키기 위한 분리 및 리세트 회로;

어드레스 구간 동안 수평동기신호를 인가하고, 그 외의 구간에서는 단락되는 스캔 펄스 발생회로; 및

서스테인 구간 동안에 상기 플라즈마 디스플레이 패널의 X전극에 고주파의 구형파 전압을 인가시키기 위하여 실행되는 충전 및 방전 모드를 각각 제1충전 모드와 제2충전 모드 및 제1방전 모드와 제2방전 모드로 세분화시키고, 상기 제1,2충전 모드 및 제1,2방전 모드는 각각 서로 다른 인덕터를 경유하여 공진 경로를 형성하여 상기 플라즈마 디스플레이 패널의 X전극을 충/방전시키도록 구동하고, 상기 제1,2충전 모드 및 제1,2방전 모드 천이 시 공진 경로에 포함된 회로 소자인 인덕터에 기생 효과에 의하여 생성되는 프리-휠링(Free-wheeling) 전류를 제거하기 위한 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 폐회로 경로를 포함하는 X전극 서스테인 구동 회로를 포함함을 특징으로 하는 고효율 플라즈마 디스플레이 패널 구동 시스템.

#### 【청구항 23】

제22항에 있어서, 상기 Y전극 서스테인 구동 회로 또는 X전극 서스테인 구동 회로는

제 1,2,3,4스위치(Sd1,Sd2,Su2,Su1)를 순차적으로 직렬로 연결하고, 제1스위치 및 제4스위치의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압을 인가하고, 제2,3스위치 접속 단자에 플라즈마 디스플레이 패널을 연결하며, 제1,2스위치 접속단자 및 제3,4스위치 접속 단자에 각각 전력 회수부의 서로 다른 단자를 연결하여 소정의 유지 방전 시퀀스에 상응하여 충/방전 경로를 플라즈마 디스플레이 패널에 접속시키기 위한 서스테인 스위칭부;

제1,2,3,4캐패시터(Cd1,Cd2,Cu2,Cu1)를 순차적으로 직렬로 접속시키고, 제1캐패시터 및 제4캐패시터의 양 끝 단자에 각각 접지선 및 서스테인 공급 전압이 인가되는 에너지 축적 소자 블록;

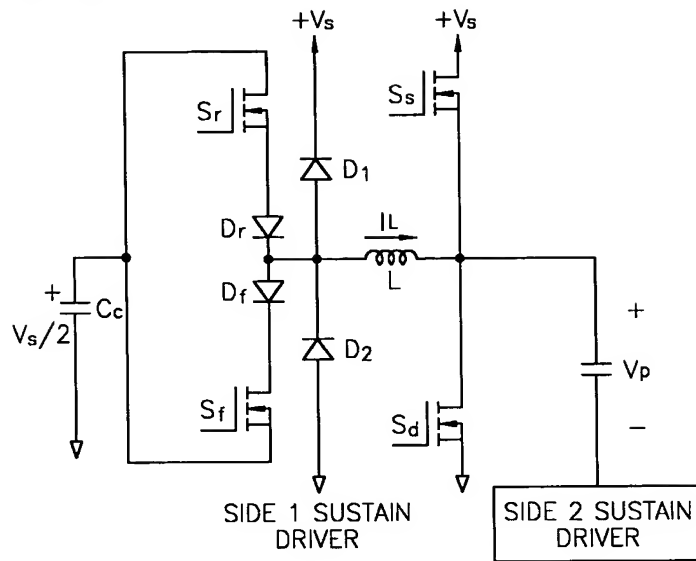
상기 제1,2,3,4캐패시터(Cd1,Cd2,Cu2,Cu1)에 병렬로 접속되어, 소정의 전력 회수 시퀀스에 상응하여 제1,2충전 모드 및 제1,2방전 모드에서 각각 다른 인덕터를 경유하는 공진 경로를 갖는 소정의 전류 도통 경로를 형성시키기 위한 복수의 스위칭 소자 (Sr1,Sf1,Sr2,Sf2) 및 복수의 다이오드(Dr1,Dr2,Df1,Df2,Du,Dd)로 구성된 경로 스위칭 블록;

상기 복수의 스위칭 소자(Sr1,Sf1,Sr2,Sf2)에 접속되어, 제1,2충전 모드 및 제1,2 방전 모드에서 공진 회로를 생성시키기 위한 복수의 인덕터(Lr1,Lf1,Lr2,Lf2); 및

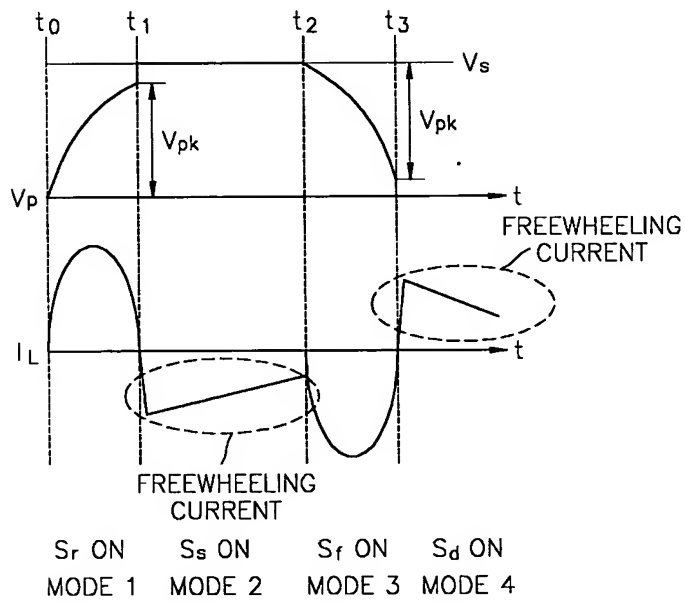
상기 복수의 인덕터(Lr1,Lf1,Lr2,Lf2)의 양 단자에 각각 접속되어, 상기 복수의 스위칭 소자들의 전압을 클램핑시키고, 프리-휠링 전류를 제거하기 위한 경로를 형성시키기 위한 복수의 다이오드(Du1,Du2,Du3,Du4,Dd1,Dd2,Dd3,Dd4)를 포함하여, 제1,2충전 모드 및 방전 모드 천이에 따른 공진 경로에 포함된 인덕터에 기생 효과에 의하여 프리-휠링(Free-wheeling) 전류가 생성되는 경우에, 상기 인덕터 양단의 전압차가 소정 값 이상이 되는 프리-휠링 전류의 경로를 생성시키도록 회로 소자들을 배치함을 특징으로 하는 고효율 플라즈마 디스플레이 패널 구동 시스템.

## 【도면】

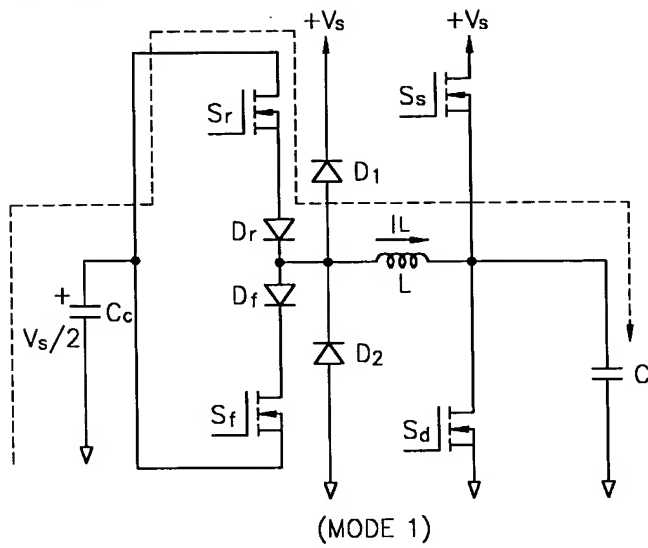
【도 1】



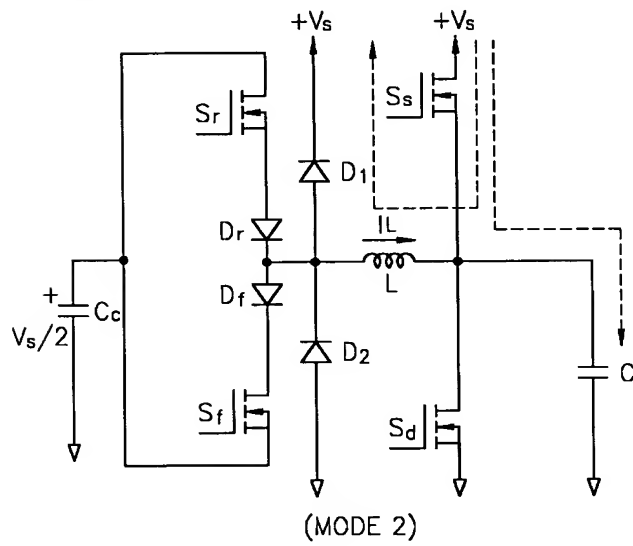
【도 2】



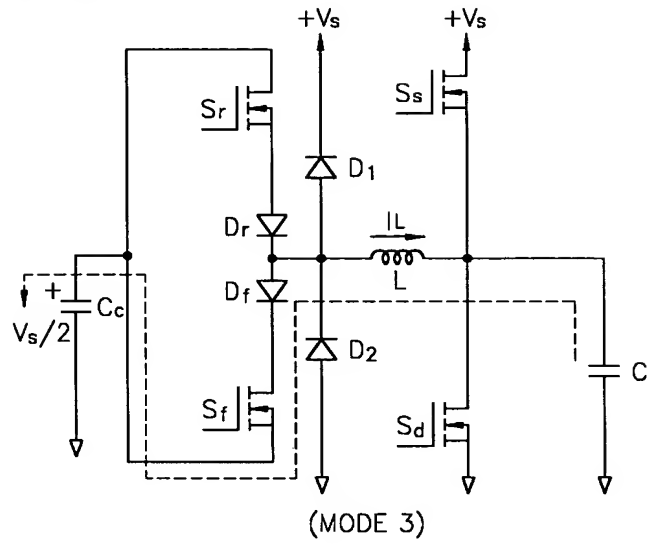
【도 3】



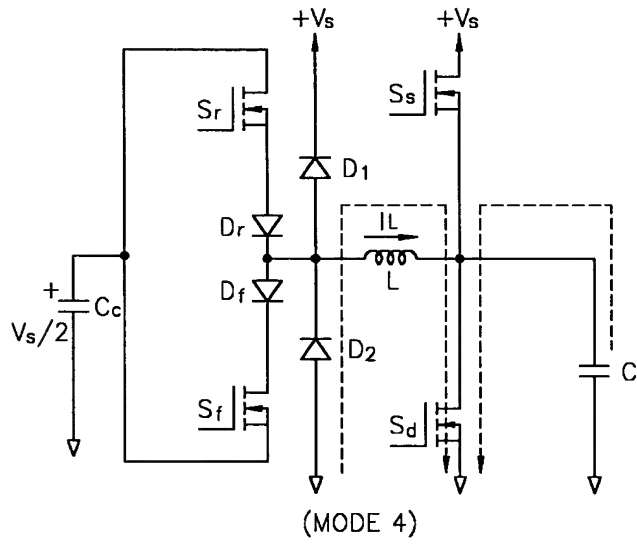
【도 4】



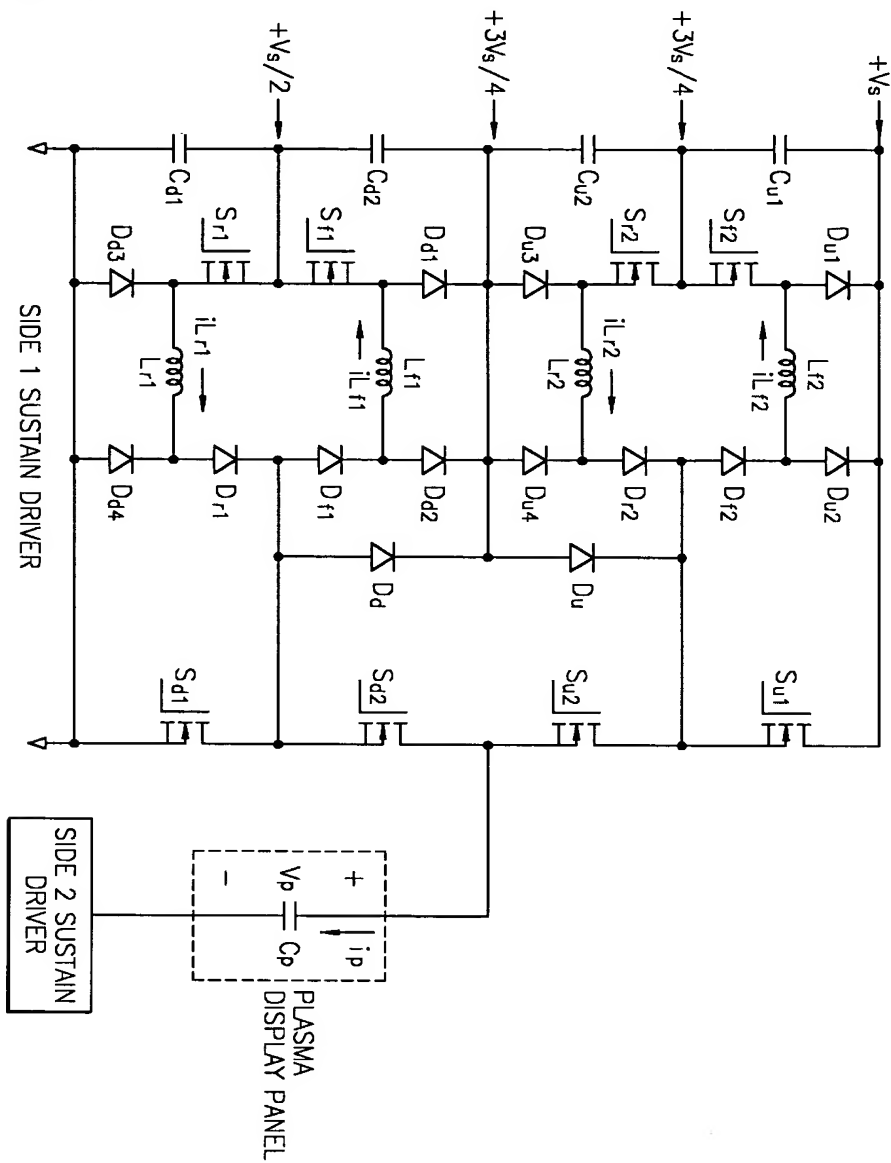
【도 5】



【도 6】

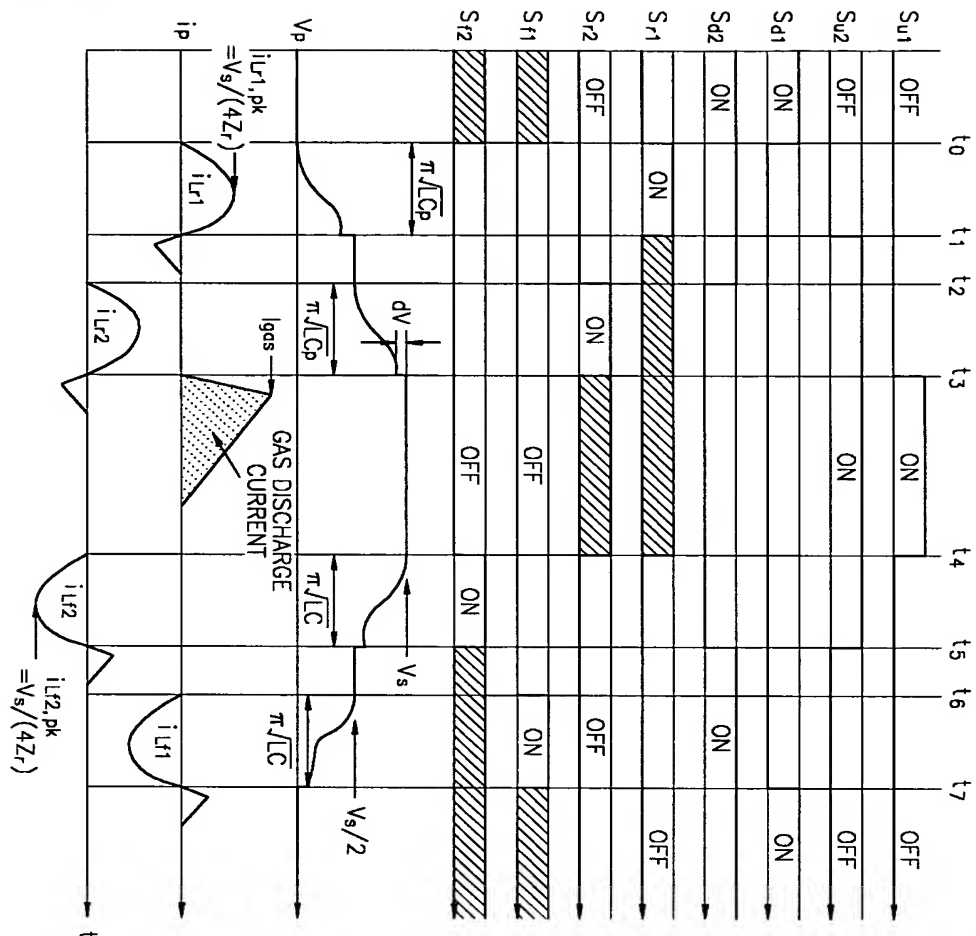


【图 7】

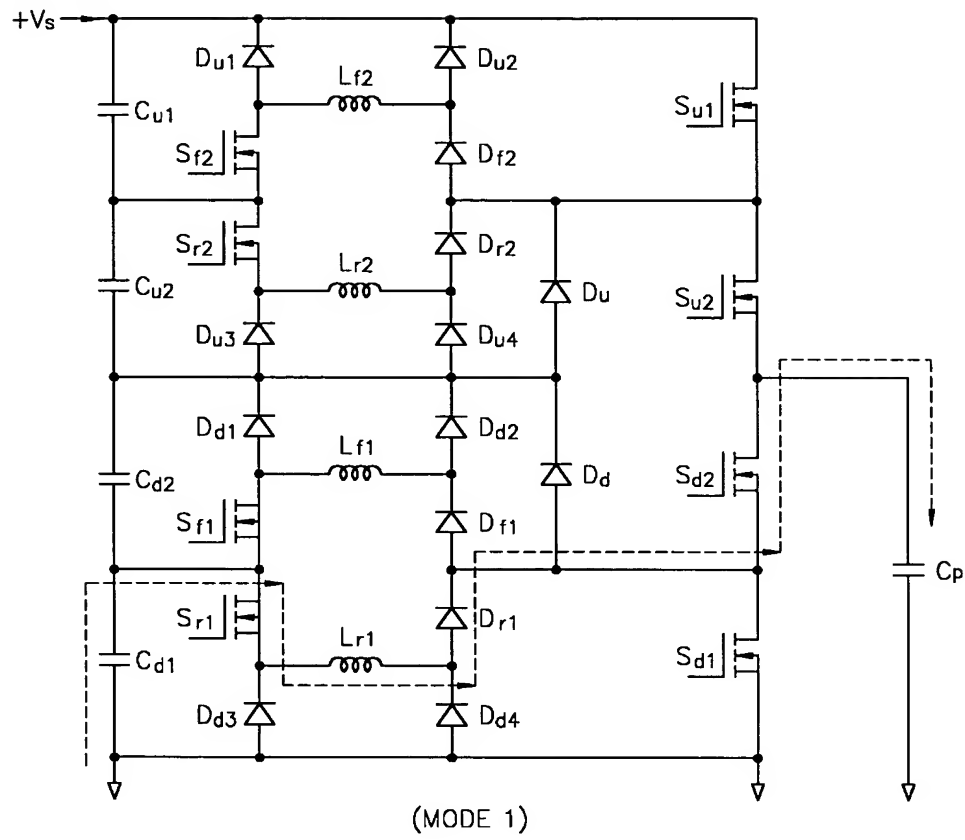




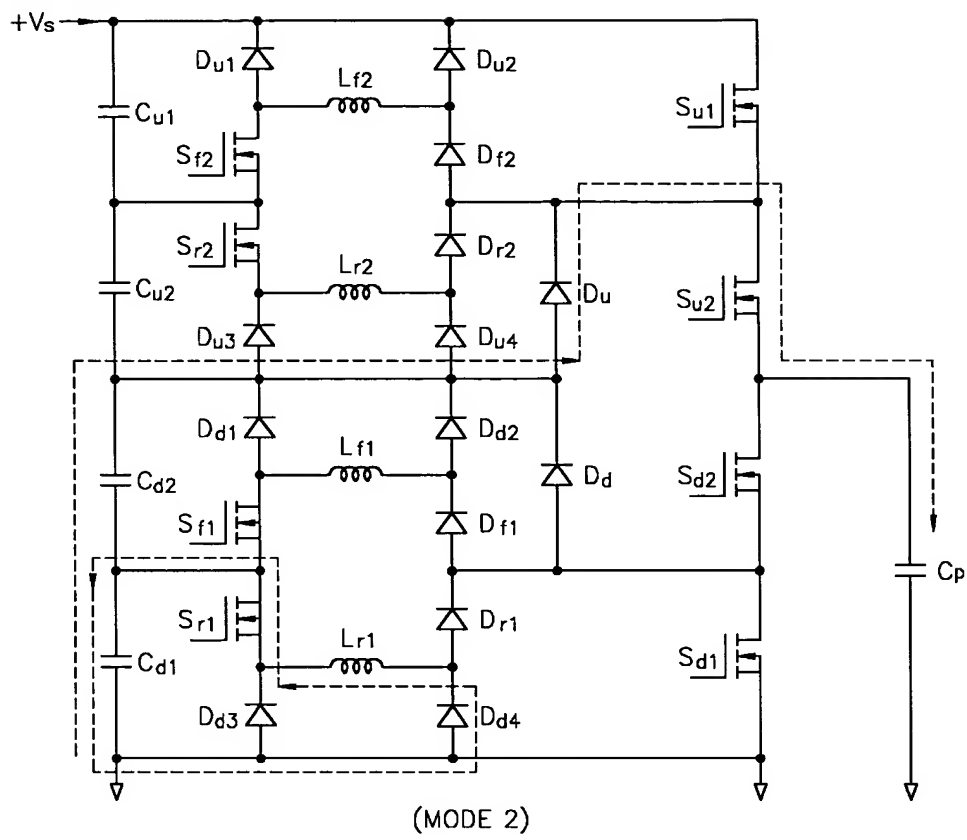
【표 8】



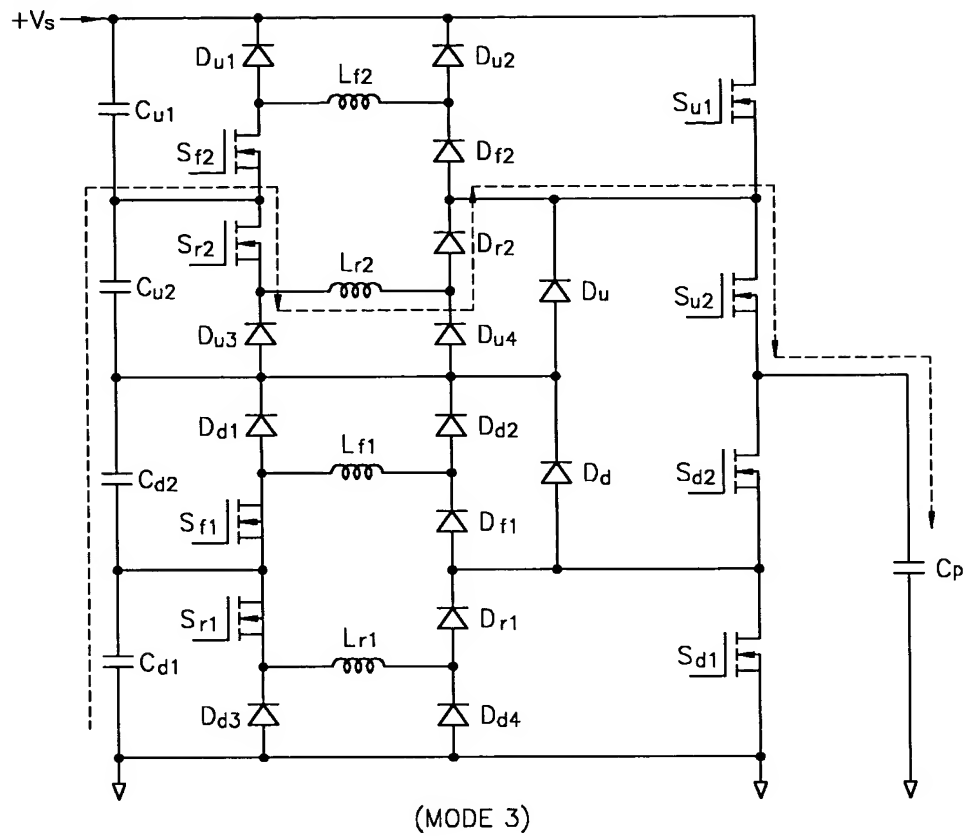
【도 9】



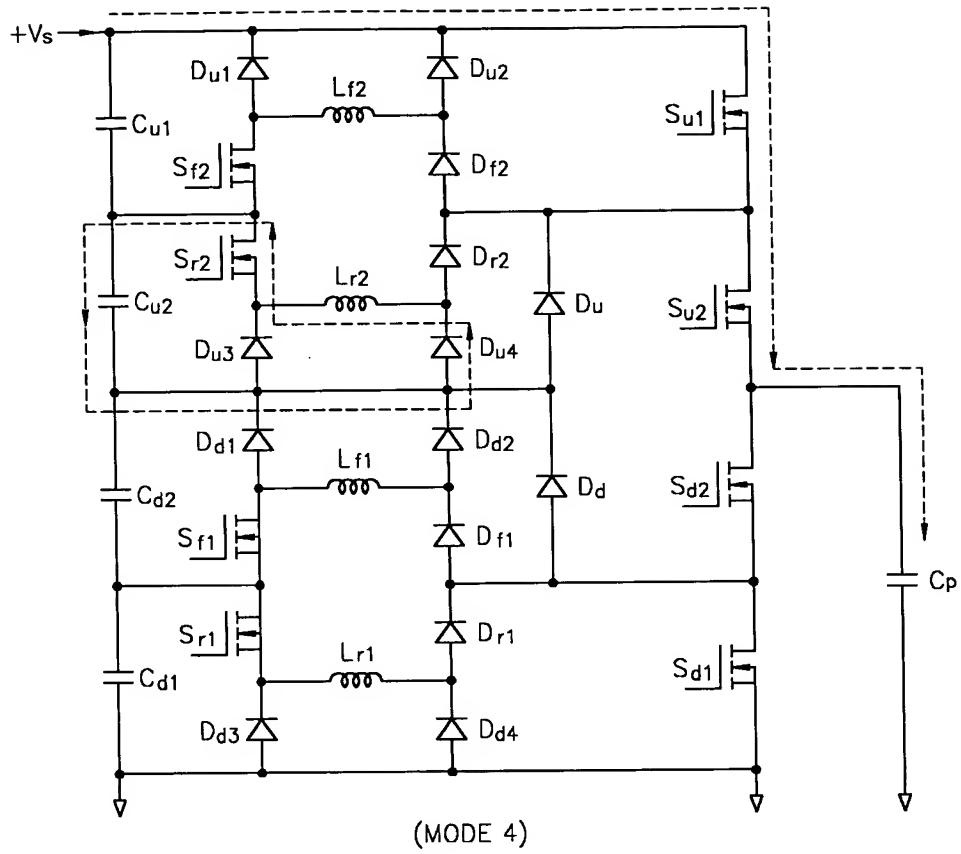
【도 10】



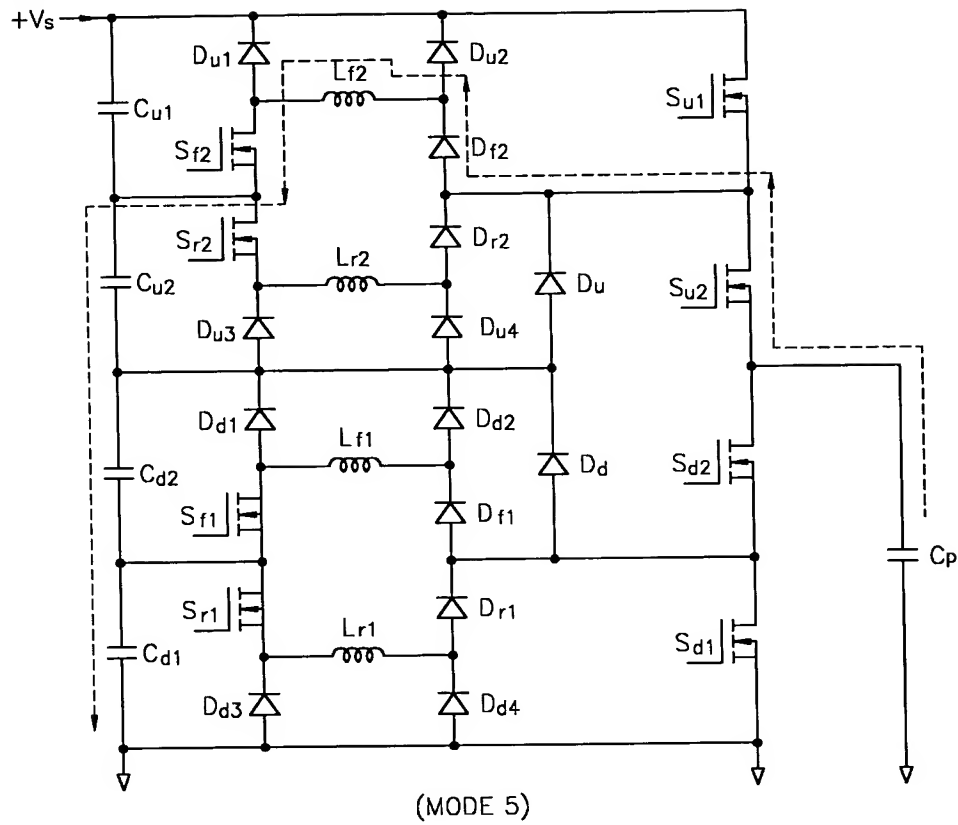
【도 11】



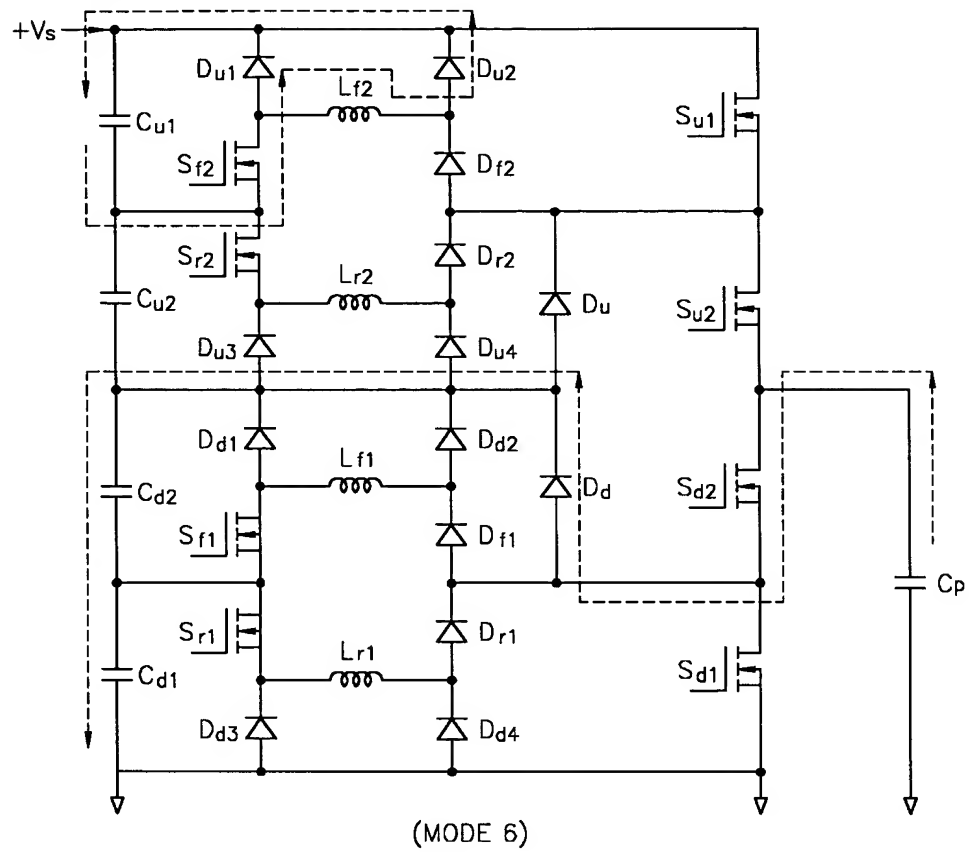
【도 12】



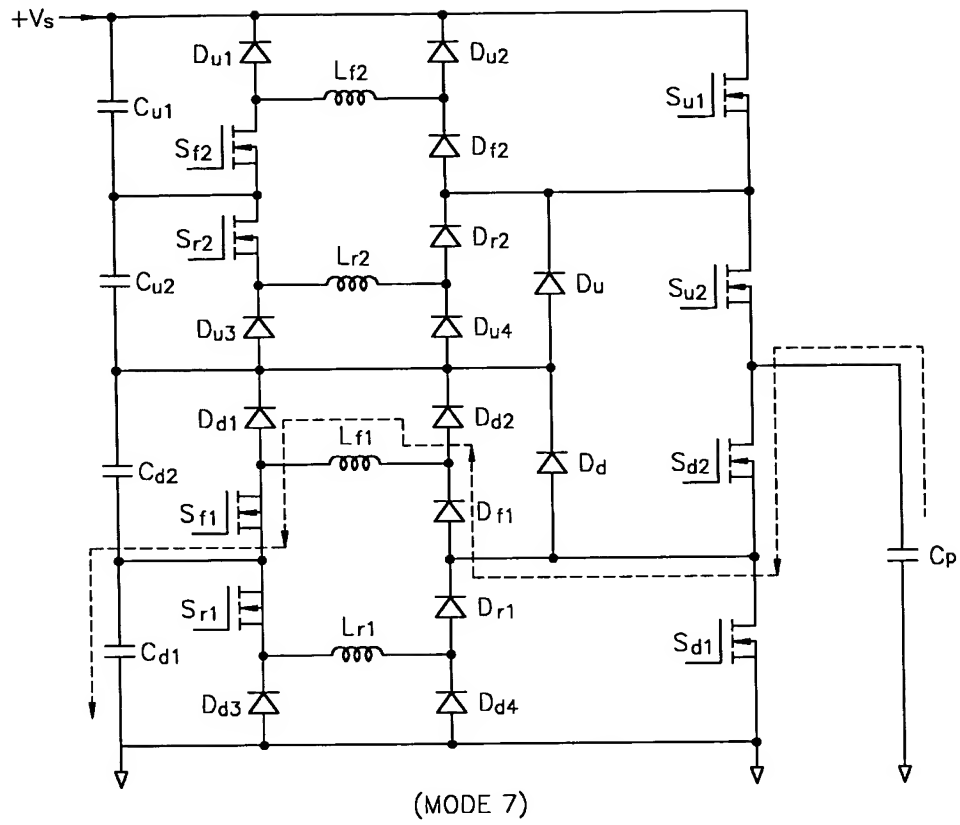
【도 13】



【도 14】

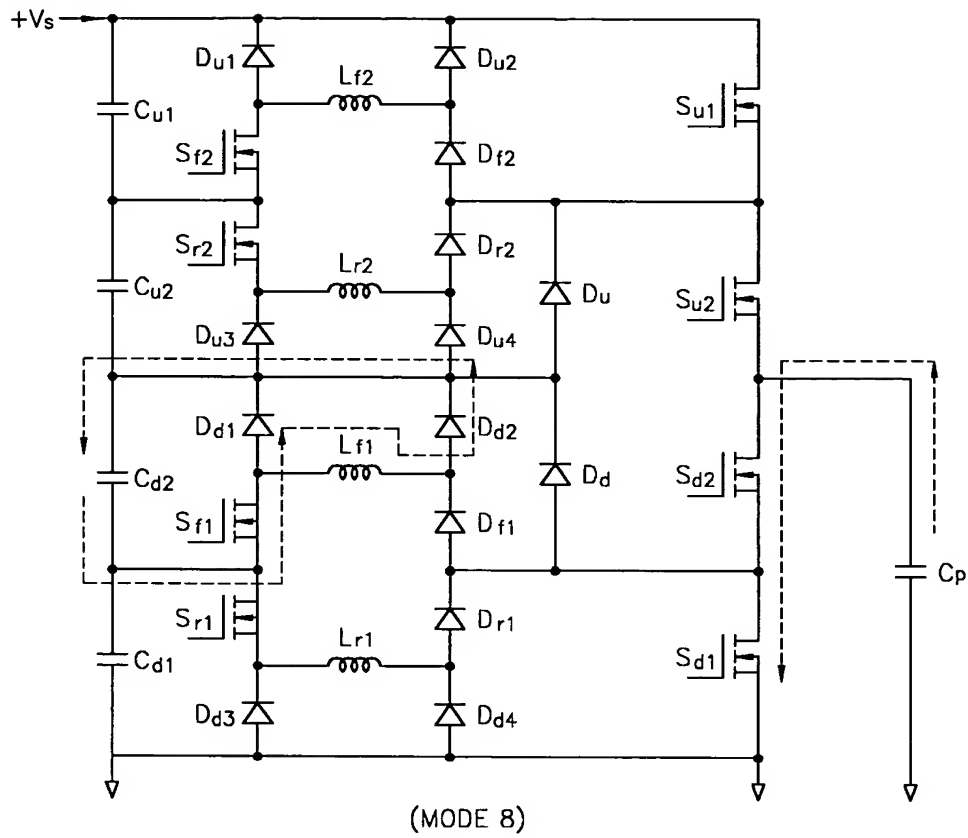


【도 15】





【도 16】



【도 17】

